

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289845

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 29/43(21)Application number : 2001-
091171

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.2001

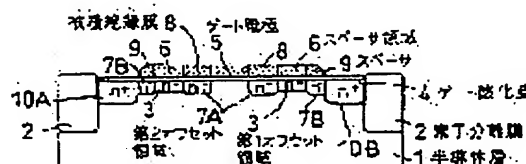
(72)Inventor : MASHIO NAOYA

(54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device, forming an LDD area required for increasing breakdown strength with flexibility and high uniformity, without being limited by the thickness of a gate electrode or the shape of a sidewall spacer film.

SOLUTION: In an offset type high breakdown strength MOS transistor provided with an LDD structure, second offset region 7A and 7B are provided with a self alignment structure to the gate electrode 5. Also, source/drain regions 10A and 10B are not turned into a shape of being extended below the side wall spacer film since this has been a problem in the conventional examples and are provided with the self aligned structure to the sidewall spacer film 9. Thus, an LDD length is fixed and the structure with high breakdown strength characteristics, and the high uniformity among the elements of ON-resistance is attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted]

(11)特許出願公開番号

特開2002-289845

(P2002-289845A)

(43)公開日 平成14年10月4日(2002.10.4)

(51) Int.Cl.⁷

識別記号

FI

テーマコード・(参考)

H O I L 29/78
21/336
29/43

H O I L 29/78
29/62

301L 4M104
G 5F140

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願2001-91171(P2001-91171)

(22)出願日 平成13年3月27日(2001.3.27)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 發明者 真塩 尚哉

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 100081732

弁理士 大胡 典夫 (外2名)

Fターム(参考) 4M104 AA01 BB01 CC05 DD04 DD91

EE03 EE09 FF32 GG09 HH20

5F140 BF01 BF04 BG02 BG10 BG11

BG17 BH15 BH49 BK02 BK05

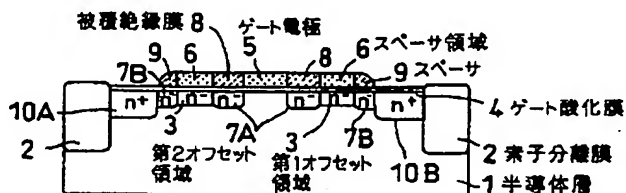
BK13

(54)【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 高耐圧化のために必要なLDD領域をゲート電極の厚さやサイドウォールスペーサ膜形状に制限されことなく、高い自由度および均一性にて形成することが可能となる半導体装置の製造方法の提供である。

【解決手段】 本発明では、LDD構造を有するオフセット型高耐圧MOSトランジスタにおいて、第2のオフセット領域7A、7Bがゲート電極5に対してセルフアライン構造を有しており、またソース・ドレイン領域10A、10Bも従来例で問題があったようにサイドウォールスペース膜9の下方に延長するような形状にならず、サイドウォールスペース膜9に対してセルフアライン構造を有するのでLDD長が一定となり、耐圧特性およびオン抵抗の素子間均一性が高い構造となる。



【特許請求の範囲】

【請求項1】 一導電型の半導体層の表層に低濃度で逆導電型イオンをイオン注入して低濃度で逆導電型の第1のオフセット領域を選択的に形成する工程と、

前記半導体層の表層にゲート酸化膜を介して前記第1のオフセット領域上の外側にゲート電極を、前記第1のオフセット領域上であって、前記ゲート電極と同材料で且つ前記ゲート電極と離間してスペーサ層を、選択的に同時形成する工程と、

前記ゲート電極を介して前記半導体層の表層に低濃度で逆導電型イオンをイオン注入して前記ゲート電極端に整合し前記第1のオフセット領域と接する低濃度で逆導電型の第2のオフセット領域を形成する工程と、

前記半導体層の表面を被覆するように被覆絶縁膜を形成する工程と、

前記被覆絶縁膜を異方性エッチングを行って、前記スペーサ層との間に前記被覆絶縁膜の一部を残し、前記スペーサ層の側壁部にサイドウォールスペーサ膜を形成する工程と、

該サイドウォールスペーサ膜を介して高濃度で逆導電型イオンをイオン注入して該サイドウォールスペーサ膜端に整合する高濃度で逆導電型のソース・ドレイン領域を形成する工程とを具備していることを特徴とする半導体装置の製造方法。

【請求項2】 前記ソース・ドレイン領域形成後に、選択的に前記スペーサ層を除去する工程を具備していることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2のオフセット領域の濃度が、前記第1のオフセット領域の濃度よりも低濃度に形成されることを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LDD構造を有するオフセット型高耐圧MOSトランジスタなどの半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来の半導体装置としては、LDD (Lightly Doped Drain) 構造を有する半導体装置がある。

【0003】 これは、図8に示すように一導電型の半導体層、たとえばP型の半導体層21の表層に、素子分離膜22、ゲート酸化膜24が順次形成され、このゲート酸化膜を介してパターンニングされたゲート電極25が形成される。次にゲート電極25を介して半導体層21の表層に低濃度で半導体層21と逆導電型のイオン、例えばリンイオンをイオン注入してこのゲート電極25端に整合するよう低濃度で逆導電型、たとえばN-型オフセット領域27Aが形成される。更に、前記半導体層21表面を覆うように被覆酸化膜（図示せず）が形成され、

この被覆酸化膜を異方性エッチングすることにより前記ゲート電極25の側壁部にサイドウォールスペーサ膜29が形成される。最後に、前記サイドウォールスペーサ膜29を介して半導体層21の表層に低濃度で半導体層21と逆導電型のイオン、例えば砒素イオンをイオン注入してサイドウォールスペーサ膜29端に整合するN+型のソース・ドレイン領域30A、30Bが形成されて成るLDD構造として、高耐圧化が図られている。

【0004】 LDD構造を有するオフセット型高耐圧MOSトランジスタにおいて、耐圧およびオン抵抗は図8に図示されているLDD長Waに依存する。高耐圧化のためにはLDD長Waを長くする必要があり、オン抵抗の素子間均一性の観点からするとLDD長Waの均一性を向上させる必要がある。

【0005】

【発明が解決しようとする課題】 しかしながら、LDD構造を有する半導体装置においてLDD長Waを長くするためには、被覆酸化膜を厚くする必要がある。厚い被覆酸化膜を形成した後に、異方性エッチングによりゲート電極25の側壁部のみに酸化膜が残るようにサイドウォールスペーサ膜29を形成する。このときサイドウォールスペーサ膜29の幅Wbはゲート酸化膜25の厚さHに依存しており、被覆酸化膜を厚くしてもWbには限界が生じる。このサイドウォールスペーサ膜29の幅WbによりLDD長Waが決定され、高耐圧化設計のためにLDD長Waを自由に設定することが困難となる。

【0006】 また、サイドウォールスペーサ膜29は、ゲート酸化膜25からの距離に応じて裾を引くような形状となる。このときサイドウォールスペーサ膜29を介して半導体層1の表層全面にソース・ドレイン領域30A、30B形成のためのイオン注入を行うと、ソース・ドレイン領域30A、30B端がサイドウォールスペーサ膜29の下方に延長する形状となる。サイドウォールスペーサ膜29の幅WbによりLDD長Waを決定しようとするときに、サイドウォールスペーサ膜29の形状に影響されてしまい、プロセスばらつきによりLDD長Waに偏差が生じ、オン抵抗の素子間均一性が低下する原因となる。

【0007】 そこで本発明は、上記の事情を考慮してなされたものであり、その目的とするところは、スペーサ形状とオフセット領域形成時のイオン注入の組み合わせによるセルフアライン構造の採用により、高耐圧化のために必要なLDD領域をゲート電極の厚さやサイドウォールスペーサ膜形状に制限されることなく、高い自由度および均一性にて形成することが可能となる半導体装置の製造方法の提供である。

【0008】

【課題を解決するための手段】 本発明の第1の発明の半導体装置の製造方法は、例えば図1から図5に示すように、P型の半導体層1の表層にリンイオンをイオン注入

してN型の第1のオフセット領域3を選択的に形成する。次に、前記半導体層1の表層にゲート酸化膜4を設けこれを介して表面に前記第1のオフセット領域3上の外側にゲート電極5を、第1のオフセット領域3上にゲート電極5と同材料で且つゲート電極と離間してスペーサ層6を選択的に同時形成する。そして、前記ゲート電極5を介して半導体層1の表層にリンイオンをイオン注入してゲート電極5端に整合し第1オフセット領域と接するN型の第2のオフセット領域7A、7Bを形成する。その後、前記半導体層1表面を被覆するように被覆絶縁膜8を形成し、被覆絶縁膜8を異方性エッチングして前記スペーサ層との間に前記被覆絶縁膜の一部を残し、前記スペーサ層の側壁部にサイドウォールスペーサ膜9を形成する。最後に、前記サイドウォールスペーサ膜9を介して砒素イオンをイオン注入してサイドウォールスペーサ膜9端に整合するN+型のソース・ドレイン領域10A、10Bを形成する工程とを具備していることを特徴とするものである。

【0009】また、第2の発明の半導体装置の製造方法は、前記ソース・ドレイン領域10A、10B形成後に、選択的にスペーサ層6を除去する工程を具備していることを特徴とするものである。

【0010】さらに、第3の発明の半導体装置の製造方法は、前記第2のオフセット領域7A、7Bの濃度が第1のオフセット領域3の濃度よりも低濃度に形成されることを特徴とするものである。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照にして説明する。

（第1の実施形態）図1において、1は一導電型、たとえばP型のシリコン半導体層で、半導体層1上には素子分離膜2が形成される。この時の半導体層1の濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。そして半導体層1上にフォトレジスト膜11を形成した後にフォトレジスト膜11をマスクにしてN型不純物として、例えばリンを加速電圧40KeV、ドーズ量 $8 \times 10^{11} \text{ cm}^{-2}$ 程度の注入条件でイオン注入して、低濃度でN型の第1のオフセット領域3を形成する。

【0012】図2において、フォトレジスト膜11を除去し、半導体層1の表層にゲート酸化膜4を形成した後に、ゲート酸化膜4を介して第1のオフセット領域3上の外側、つまり第1のオフセット領域3上にオーバーラップしないように厚さ250nm程度のゲート電極5を形成し、同時にゲート電極5と同材料、例えばポリシリコン材料でゲート電極に隣接しないように距離300nm程度とし且つ第1のオフセット領域3上に存在するようにスペーサ領域6を形成する。つまりこのとき第1のオフセット領域3端はゲート電極5端とスペーサ領域6端の間に位置することになる。

【0013】図3において、ゲート電極5およびスペー

サ領域6を介して半導体層1の表層にN型不純物として、例えばリンを加速電圧40KeV、ドーズ量 $8 \times 10^{11} \text{ cm}^{-2}$ 程度の注入条件（第1のオフセット領域3を形成した時と略同条件）でイオン注入して、低濃度でN型の第2のオフセット領域7Aおよび7Bを形成する。このとき第2のオフセット領域7Aおよび7Bはゲート電極5端とスペーサ領域6端に整合するように形成されるセルフアライン構造となる。

【0014】図4において、半導体層1表面を被覆するように被覆絶縁膜8を膜厚200nm程度形成し、被覆絶縁膜8を異方性エッチングしてゲート電極5の側壁部にサイドウォールスペーサ膜9を形成する。このときサイドウォールスペーサ膜9の横方向の厚さは150nm程度となり若干角に丸みを有する形状となる。また被覆酸化膜8はゲート電極5とスペーサ領域6との間にゲート電極5と同程度の高さで平坦な膜として残る形状となる。

【0015】図5において、前記半導体層1の表層にサイドウォールスペーサ膜9を介してN型不純物として、たとえば砒素を加速電圧65KeV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ 程度の注入条件でイオン注入して、サイドウォールスペーサ膜9端に整合する高濃度でN+型のソース・ドレイン領域10A、10Bを形成する。

【0016】上記のように本発明によれば、LDD構造を有するオフセット型高耐圧MOSトランジスタにおいて、第2のオフセット領域7Aがゲート電極5に対してセルフアライン構造を有しており、またソース・ドレイン領域10A、10Bも従来例で問題があったようにサイドウォールスペーサ膜9の下方に延長する形状にはならず、サイドウォールスペーサ膜9に対してセルフアライン構造を有するのでLDD長が一定となり、耐圧特性およびオン抵抗の素子間均一性が高い構造となる。

【0017】またLDD長はスペーサ領域6の長さで調節することができるので、耐圧特性およびオン抵抗を自由に設定することが可能となる。第1のオフセット領域3はゲート電極5に対してはセルフアライン構造にはならないが、本実施形態においてマスク合わせずれを考慮しても第1のオフセット層3端をゲート電極5端とスペーサ領域6端との間に形成することが十分可能となり、第2のオフセット領域形成によりゲート電極に対してセルフアライン構造となる。またスペーサ層6は電氣的に開放状態としておけば素子に対する影響はほとんどない。

（第2の実施形態）図6および図7において、第1の実施形態で形成した後にフォトレジスト11をパターンニングし酸化膜と選択性の高い条件でスペーサ領域6を除去する工程で形成する。図6のフォトレジスト11の開口幅はスペーサ領域6幅より若干広く形成すると被覆酸化膜8およびサイドウォールスペーサ膜9が露出するが酸化膜と選択性のある条件でスペーサ領域6を除去するので問題ない。

【0018】このようにスペーサ領域6を除去することによりゲート酸化膜4上にはゲート電極5以外に導電性構造が存在せず(図7)、従来の素子構造と同様になり、スペーサ領域6が存在することによる影響を考えなくてもよい。

(第3の実施形態)第1の実施形態において、第1のオフセット領域10Aおよび10BをたとえばN型で不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ とし、第2のオフセット領域7Aおよび7BをたとえばN型で不純物濃度 $2 \times 10^{17} \text{ cm}^{-3}$ と第1のオフセット領域10Aおよび10Bよりも不純物濃度を低くする。

【0019】通常のLDD構造を有するオフセット型高耐圧MOSトランジスタなどの半導体装置ではLDDオフセット層の不純物濃度が低いためにオン電圧が高くなる。しかしながらこの実施形態によると、低濃度の第2のオフセット領域により高耐圧特性を維持することができ、第1のオフセット領域によりオン抵抗を低減することができる。

【0020】本発明は上記の実施形態に限定するものではない。実施形態ではNチャネルのMOSトランジスタとしたがPチャネルのMOSトランジスタでも有効である。さらには、ゲート電極およびスペーサ領域の材料は第1のオフセット領域、第2のオフセット領域およびソース・ドレイン領域形成時のイオン注入の際にマスクとして機能すれば有効である。また半導体層もシリコン半導体層に限らず、同構成および効果のある基板ならば本発明の範囲内である。その他、本発明の趣旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0021】

【発明の効果】第1の発明では、LDD構造を有するオフセット型高耐圧MOSトランジスタにおいて、第2のオフセット領域がゲート電極に対してセルフアライン構造を有しており、またソース・ドレイン領域も従来例で問題があったようにサイドウォールスペーサ膜の下方に延長するような形状にならず、サイドウォールスペーサ膜に対してセルフアライン構造を有するのでLDD長が一定となり、耐圧特性およびオン抵抗の素子間均一性が高い構造となる。またLDD長はスペーサ領域の長さで調節することができるので、耐圧特性およびオン抵抗を自由に設定することが可能となる。

【0022】第2の発明では、上記において、スペーサ領域を除去することによりゲート酸化膜上にはゲート電極以外に導電性構造が存在せず、従来の素子構造と同様になり、スペーサ領域が存在することによる影響を無視しうる構造となる。

【0023】LDD構造を有するオフセット型高耐圧MOSトランジスタなどの半導体装置ではLDDオフセット層の不純物濃度が低いためにオン電圧が高くなるが、第3の発明によると、低濃度の第2のオフセット領域により高耐圧特性を維持することができ、第1のオフセット領域によりオン抵抗を低減することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態における半導体装置の製造方法を示す断面図。

【図2】 本発明の第1の実施形態における半導体装置の製造方法を示す断面図。

【図3】 本発明の第1の実施形態における半導体装置の製造方法を示す断面図。

【図4】 本発明の第1の実施形態における半導体装置の製造方法を示す断面図。

【図5】 本発明の第1の実施形態における半導体装置の製造方法を示す断面図。

【図6】 本発明の第2の実施形態における半導体装置の製造方法を示す断面図。

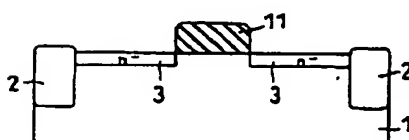
【図7】 本発明の第2の実施形態における半導体装置の製造方法を示す断面図。

【図8】 従来の半導体装置を示す断面図。

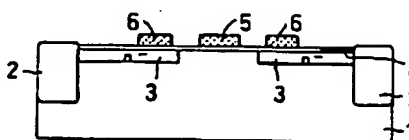
【符号の説明】

- 1 半導体層
- 2 素子分離膜
- 3 第1のオフセット領域
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 スペーサ領域
- 7A, 7B 第2のオフセット領域
- 8 被覆絶縁膜
- 9 サイドウォールスペーサ膜
- 10A ドレイン領域
- 10B ソース領域
- 11 フォトリソグレイム膜

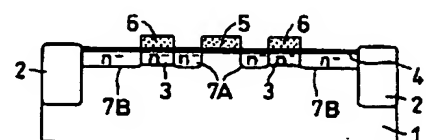
【図1】



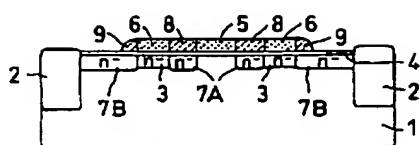
【図2】



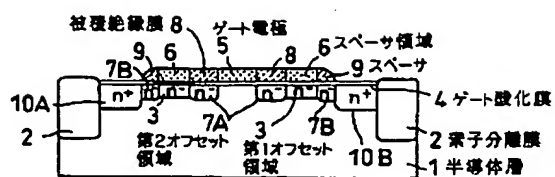
【図3】



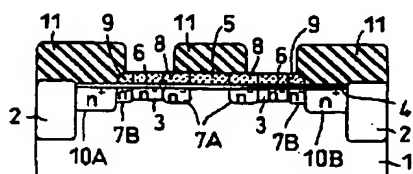
【図4】



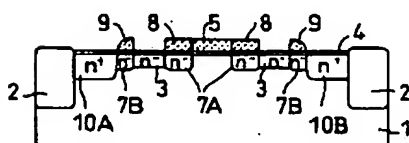
【図5】



【図6】



【図7】



【図8】

